

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-313365

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 21/60  
H01L 23/52

(21)Application number : 2000-129388

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 28.04.2000

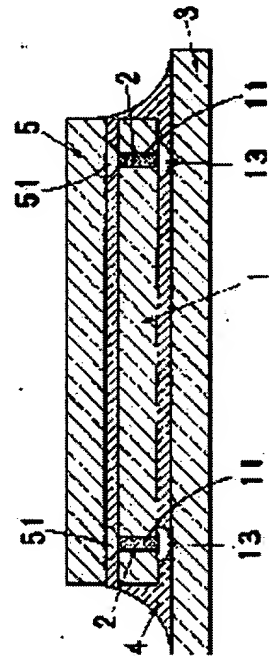
(72)Inventor : TANAKA YASUSHI  
KUZUHARA KAZUNARI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the size of a semiconductor device, when it is mounted on a substrate.

SOLUTION: The semiconductor device comprises a plurality of stacked semiconductor elements 1, 5 which include the semiconductor element 1 having through-holes 11 filled with conductive resin 2 for electrically connecting the opposite sides, and bumps 13 each having a wiring part provided on the semiconductor element 1 which has holes and a base end part extended to the opening of the through-hole 11 and making electrical connection along the stacking direction of the semiconductor elements 1, 5.



## LEGAL STATUS

[Date of request for examination] 16.12.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's  
decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-313365

(P2001-313365A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 25/065		H 0 1 L 21/60	3 1 1 S 5 F 0 4 4
25/07		25/08	B
25/18		23/52	C
21/60	3 1 1		
23/52			

審査請求 未請求 請求項の数 9 O L (全 8 頁)

(21) 出願番号 特願2000-129388(P2000-129388)

(22) 出願日 平成12年4月28日 (2000.4.28)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 田中 恭史

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 葛原 一功

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100111556

弁理士 安藤 淳二 (外1名)

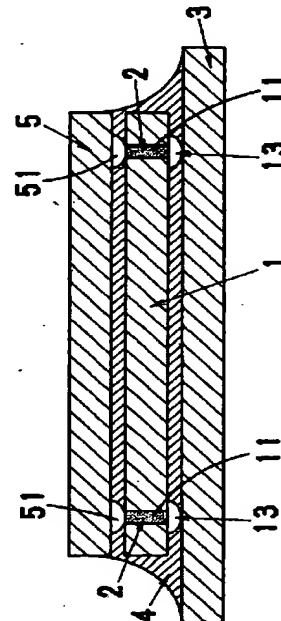
Fターム(参考) 5F044 LL07 QQ00 QQ02 RR02 RR03

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 基板に実装されたときに小型とする。

【解決手段】 両面を電気的に接続するために導電性樹脂2を充填した貫通孔11が設けられた有孔の半導体素子1を含む互いに重合配置された複数の半導体素子1、5と、有孔の半導体素子1上に設けた配線部及び貫通孔11の開口部に互る基端部を有し半導体素子1、5の重合方向に沿って電気的に接続するバンプ13と、を備えた構成にしている。



1

## 【特許請求の範囲】

【請求項1】 両面を電気的に接続するために導電性樹脂を充填した貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、有孔の半導体素子上に設けた配線部及び貫通孔の開口部に互る基端部を有し半導体素子の重合方向に沿って電気的に接続するバンプと、を備えたことを特徴とする半導体装置。

【請求項2】 両面を電気的に接続するために導電性樹脂を充填した貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、先端部が導電性樹脂に差し込まれて半導体素子の重合方向に沿って電気的に接続するバンプと、を備えたことを特徴とする半導体装置。

【請求項3】 前記重合方向に沿って前記半導体素子間を電気的に接続する第2のバンプを設け、その第2のバンプは、前記有孔の半導体素子上に設けた配線部に接続された請求項2記載の半導体装置。

【請求項4】 前記バンプは、その基端部が前記有孔の半導体素子上に設けた配線部に接続された請求項2記載の半導体装置。

【請求項5】 両面を電気的に接続するために導電性樹脂を充填し内縁部に絶縁層を有する貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、半導体素子の重合方向に沿って電気的に接続するバンプと、を備えたことを特徴とする半導体装置。

【請求項6】 両面を電気的に接続するために導電性樹脂を充填した貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、有孔の半導体素子上に設けた配線部及び貫通孔の開口部に互る基端部を有し半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた半導体装置を製造する半導体装置の製造方法であって、予め貫通孔が設けられるとともに配線部が設けられた半導体素子のその貫通孔に導電性樹脂を充填し、配線部及び貫通孔の開口部に互る基端部を有したバンプを形成することを特徴とする半導体装置の製造方法。

【請求項7】 両面を電気的に接続するために導電性樹脂を充填した貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、有孔の半導体素子上に設けた配線部及び貫通孔の開口部に互る基端部を有し半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた半導体装置を製造する半導体装置の製造方法であって、予め貫通孔が設けられるとともに配線部が設けられた半導体素子のその貫通孔を覆うよう、配線部に互る基端部を有したバンプを形成し、貫通孔に導電性樹脂を充填することを特徴とする半導体装置の製造方法。

【請求項8】 両面を電気的に接続するために導電性樹脂を充填し内縁部に絶縁層を有する貫通孔が設けられた

2

有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた半導体装置を製造する半導体装置の製造方法であって、予め貫通孔が設けられた半導体素子のその貫通孔に絶縁性樹脂を充填して硬化し、貫通孔の貫通方向に沿って硬化後の絶縁性樹脂に第2の貫通孔を形成し、第2の貫通孔に導電性樹脂を充填することを特徴とする半導体装置の製造方法。

【請求項9】 両面を電気的に接続するために導電性樹脂を充填し内縁部に絶縁層を有する貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた半導体装置を製造する半導体装置の製造方法であって、予め二酸化珪素層を有した半導体素子のその二酸化珪素層を残してブラインドビアホールを形成し、ブラインドビアホールの内縁部に絶縁層を形成し、半導体素子の一方面側に配線部を形成し、二酸化珪素層上の配線部を除去し、配線部が設けられた部分を残して二酸化珪素層を除去することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体素子を実装した半導体装置に関する。

【0002】

【従来の技術】この種の半導体装置の第1従来例として図7に示すものが存在する。101は基板で、その表面に配線パターン（図示せず）を有し、複数の半導体チップ（半導体素子）102が実装されている。この半導体チップ102は、基板101に設けられた電極103との間にワイヤー104によるワイヤーボンディングでもって接続されている。

【0003】このものは、基板101の電極103と半導体チップ102との間がワイヤーボンディングでもって接続されているから、ワイヤ配線のためのスペースを必要とするため、小型化するのが困難であった。

【0004】そのため、図8に示す第2従来例のように、半導体チップ102を基板101に直接接続する、いわゆるフリップチップボンディングによる基板101への実装が注目されている。このフリップチップボンディングでは、半導体チップ102を下向きとするフェースダウンで基板101に搭載し、基板101に設けられた配線パターン105と半導体チップ102の半導体回路（図示せず）との電気的接続が、バンプ106により行われている。

【0005】

【発明が解決しようとする課題】上記した第2従来例の半導体装置にあっては、第1従来例の半導体装置とは異なり、ワイヤ配線のためのスペースを必要としないため、小型化が可能となっている。

## 3

【0006】しかしながら、複数個の半導体チップ102を基板101に実装する場合には、当然のことながら、基板101上には、半導体チップ102の数に相当する実装スペースが必要となり、小型化には限界がある。

【0007】本発明は、上記の点に着目してなされたもので、その目的とするところは、基板に実装されたときに小型となる半導体装置を提供することにある。

## 【0008】

【課題を解決するための手段】上記した課題を解決するために、請求項1記載の半導体装置は、両面を電気的に接続するために導電性樹脂を充填した貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、有孔の半導体素子上に設けた配線部及び貫通孔の開口部に互る基端部を有し半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた構成にしている。

【0009】請求項2記載の半導体装置は、両面を電気的に接続するために導電性樹脂を充填した貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、先端部が導電性樹脂に差し込まれて半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた構成にしている。

【0010】請求項3記載の半導体装置は、請求項2記載の半導体装置において、前記重合方向に沿って前記半導体素子間を電気的に接続する第2のバンプを設け、その第2のバンプは、前記有孔の半導体素子上に設けた配線部に接続された構成にしている。

【0011】請求項4記載の半導体装置は、請求項2記載の半導体装置において、前記バンプは、その基端部が前記有孔の半導体素子上に設けた配線部に接続された構成にしている。

【0012】請求項5記載の半導体装置は、両面を電気的に接続するために導電性樹脂を充填し内縁部に絶縁層を有する貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた構成にしている。

【0013】請求項6記載の半導体装置の製造方法は、両面を電気的に接続するために導電性樹脂を充填した貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、有孔の半導体素子上に設けた配線部及び貫通孔の開口部に互る基端部を有し半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた半導体装置を製造する半導体装置の製造方法であって、予め貫通孔が設けられるとともに配線部が設けられた半導体素子のその貫通孔に導電性樹脂を充填し、配線部及び貫通孔の開口部に互る基端部を有したバンプを形成するにしている。

【0014】請求項7記載の半導体装置の製造方法は、

## 4

両面を電気的に接続するために導電性樹脂を充填した貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、有孔の半導体素子上に設けた配線部及び貫通孔の開口部に互る基端部を有し半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた半導体装置を製造する半導体装置の製造方法であって、予め貫通孔が設けられるとともに配線部が設けられた半導体素子のその貫通孔を覆うよう、配線部に互る基端部を有したバンプを形成し、貫通孔に導電性樹脂を充填するにしている。

【0015】請求項8記載の半導体装置の製造方法は、両面を電気的に接続するために導電性樹脂を充填し内縁部に絶縁層を有する貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた半導体装置を製造する半導体装置の製造方法であって、予め貫通孔が設けられた半導体素子のその貫通孔に絶縁性樹脂を充填して硬化し、貫通孔の貫通方向に沿って硬化後の絶縁性樹脂に第2の貫通孔を形成し、第2の貫通孔に導電性樹脂を充填するにしている。

【0016】請求項9記載の半導体装置の製造方法は、両面を電気的に接続するために導電性樹脂を充填し内縁部に絶縁層を有する貫通孔が設けられた有孔の半導体素子を含み互いに重合配置された複数の半導体素子と、半導体素子の重合方向に沿って電気的に接続するバンプと、を備えた半導体装置を製造する半導体装置の製造方法であって、予め二酸化珪素層を有した半導体素子のその二酸化珪素層を残してブラインドビアホールを形成し、ブラインドビアホールの内縁部に絶縁層を形成し、半導体素子の一方面側に配線部を形成し、二酸化珪素層上の配線部を除去し、配線部が設けられた部分を残して二酸化珪素層を除去するにしている。

## 【0017】

【発明の実施の形態】本発明の第1実施形態の半導体装置を図1及び図2に基づいて以下に説明する。なお、図1では、半導体チップ（半導体素子）1の一方面に設けたアルミ配線部12及び半導体チップ（半導体素子）5の一方面に設けたアルミ配線部を省略している。

【0018】1は有孔の半導体チップ（半導体素子）で、貫通孔11が設けられており、その貫通孔11には導電性樹脂2が充填され、この導電性樹脂2により両面が接続される。この有孔の半導体チップ1は、その裏面に設けた金製のバンプ13を介して、基板3にフリップ実装されている。

【0019】このバンプ13は、半導体チップ1の裏面に設けたアルミ配線部12及び貫通孔11の開口部に互る基端部13aを有し、半導体チップ1が基板3に実装される際に先端部13bが圧潰される。このバンプ13は、半導体チップ1の重合方向に沿って、半導体チップ

5

1と基板3との間を電氣的に接続する。

【0020】4は封止樹脂で、両半導体チップ1、5及び半導体チップ1と基板3との間に充填された後に硬化され、バンプ13、51による実装部分を封止する。

【0021】5も半導体チップ（半導体素子）であるが、半導体チップ1とは異なり、貫通孔が設けられていない。この半導体チップ5は、その裏面のアルミ配線部に設けられた金製のバンプ51を介して、有孔の半導体チップ1に実装される。この金製のバンプ51は、半導体チップ1の重合方向に沿って、半導体チップ5と半導体チップ1の導電性樹脂2との間を接続する。

【0022】次に、この半導体装置の製造方法、詳しくは、貫通孔11に導電性樹脂2が充填された有孔の半導体チップ1の裏面に設けたアルミ配線部12及び貫通孔11の開口部に、バンプ13の基端部13aが互る状態の形成方法について説明する。

【0023】初めに、予め貫通孔11が設けられるとともに裏面にアルミ配線部12が設けられた半導体チップ1のその貫通孔11に導電性樹脂2を充填し、次に、アルミ配線部12及び貫通孔11の開口部に互る基端部13aを有したバンプ13を形成するのである。

【0024】かかる半導体装置にあっては、複数の半導体チップ1、5が重合配置されているから、基板3に実装された状態では、複数の半導体チップ1、5が同一平面の基板3に実装される場合に比較して、平面視で実装面積が小さくなり、基板3に実装された状態で小型化することができる。

【0025】また、有孔の半導体チップ1の貫通孔11には、両面を電氣的に接続するために導電性樹脂2を充填されており、単に内縁部に導電膜を設けていのではないから、導通を確実にすることができる。

【0026】また、半導体チップ1、5の重合方向に沿って電氣的に接続するバンプ13の基端部13aが、有孔の半導体チップ1の裏面に設けたアルミ配線部12及び貫通孔11の開口部に互るから、有孔の半導体チップ1の両面を電氣的に接続するために貫通孔11に充填した導電性樹脂2と有孔の半導体チップ1の裏面のアルミ配線部12とを接続するための別の接続部材を設けなくてもよくなる。

【0027】また、予め貫通孔11が設けられるとともに裏面にアルミ配線部12が設けられた半導体チップ1のその貫通孔11に導電性樹脂2を充填し、アルミ配線部12及び貫通孔11の開口部に互る基端部13aを有したバンプ13を形成することにより、貫通孔11に導電性樹脂2が充填された有孔の半導体チップ1の裏面に設けたアルミ配線部12及び貫通孔11の開口部に、バンプ13の基端部13aが互る状態を容易に形成することができる。

【0028】なお、初めに、予め貫通孔11が設けられるとともに裏面にアルミ配線部12が設けられた半導体

6

チップ1のその貫通孔11を覆うよう、アルミ配線部12に互る基端部13aを有したバンプ13を形成し、次に、貫通孔11に導電性樹脂2を充填してもよく、このようにしても、貫通孔11に導電性樹脂2が充填された有孔の半導体チップ1の裏面に設けたアルミ配線部12及び貫通孔11の開口部に、バンプ13の基端部13aが互る状態を容易に形成することができる。

【0029】次に、本発明の第2実施形態の半導体装置について、図3に基づいて説明する。なお、第1実施形態の半導体装置と実質的に同一の部分には同一の符号を付し、第1実施形態と異なるところのみ記す。

【0030】半導体チップ5は、その裏面に設けたアルミ配線部52に、第1のバンプ51及び第2のバンプ53が設けられている。

【0031】この第1のバンプ51は、その先端部51aが有孔の半導体チップ1の導電性樹脂2に差し込まれて接続されている。第2のバンプ53の先端部53aは、有孔の半導体チップ1の表面に設けられたアルミ配線部12に接続されている。

【0032】かかる半導体装置にあっては、第1実施形態と同様に、基板3に実装された状態で小型化することができ、有孔の半導体チップ1の両面間の導通を確実にすることができ、さらに、半導体チップ1、5の重合方向に沿って電氣的に接続する第1のバンプ51の先端部が、導電性樹脂2に差し込まれているから、導電性樹脂2との接触面積が大きくなり、接続抵抗を小さくすることができる。

【0033】また、重合方向に沿って半導体チップ1、5間を電氣的に接続する第2のバンプ53は、有孔の半導体チップ1の貫通孔11に充填された導電性樹脂2に先端部51aが差し込まれた第1のバンプ51とは異なり、その先端部53aの断面積を、貫通孔11の開口断面積よりも大きくすることもでき、設計の自由度が大きくなる。

【0034】次に、本発明の第3実施形態の半導体装置について、図4に基づいて説明する。なお、第2実施形態の半導体装置と実質的に同一の部分には同一の符号を付し、第2実施形態の半導体装置と異なるところのみ記す。第2実施形態では、半導体チップ5の第1のバンプ51の先端部51aが有孔の半導体チップ1の導電性樹脂2に差し込まれて接続されるときにも、第2のバンプ53が有孔の半導体チップ1のアルミ配線部12に接続されているのに対し、本実施形態では、半導体チップのバンプ51の先端部51aが有孔の半導体チップ1の導電性樹脂2に差し込まれて接続されるときにも、そのバンプ51の基端部が有孔の半導体チップ1のアルミ配線部12に接続される構成となっている。

【0035】かかる半導体装置にあっては、第1実施形態と同様に、基板3に実装された状態で小型化することができ、有孔の半導体チップ1の両面間の導通を確実に

7

することができ、さらに、バンプ51は、その先端部51aが導電性樹脂2に差し込まれて接続されるとともに、基端部51bが対向面のアルミ配線部12に接続されているから、アルミ配線部12に接続するための別の接続部材を設けなくてもよくなる。

【0036】次に、本発明の第4実施形態の半導体装置について、図5に基づいて説明する。なお、第1実施形態の半導体装置と実質的に同一の部分には同一の符号を付し、第1実施形態の半導体装置と異なるところのみ記す。本実施形態の半導体装置は、基本的には第1実施形態の半導体装置と同様であるが、有孔の半導体チップ1の貫通孔11の内縁部に絶縁層14が設けられていることが異なっている。

【0037】次に、この半導体装置の製造方法、詳しくは、貫通孔11の内縁部の絶縁層14の形成方法について説明する。

【0038】初めに、予め貫通孔が設けられた半導体チップ1のその貫通孔11に絶縁性樹脂15を充填して硬化し、次に、貫通孔11の貫通方向に沿って硬化後の絶縁性樹脂15に第2の貫通孔16を形成し、最後に、第2の貫通孔16に導電性樹脂2を充填するのである。

【0039】かかる半導体装置にあっては、第1実施形態と同様に、基板3に実装された状態で小型化することができ、有孔の半導体チップ1の両面間の導通を確実にすることができ、さらに、半導体チップ1の貫通孔11は内縁部に絶縁層14を有しているから、半導体チップ1への電流のリークを確実に抑えることができる。

【0040】また、予め貫通孔11が設けられた半導体チップ1のその貫通孔11に絶縁性樹脂15を充填して硬化し、貫通孔11の貫通方向に沿って硬化後の絶縁性樹脂15に第2の貫通孔16を形成し、第2の貫通孔16に導電性樹脂2を充填することにより、貫通孔11の内縁部に容易に絶縁層を設けることができる。

【0041】次に、本発明の第5実施形態の半導体装置について、図6に基づいて説明する。なお、第4実施形態の半導体装置と実質的に同一の部分には同一の符号を付し、第4実施形態の半導体装置と異なるところのみ記す。本実施形態の半導体装置は、基本的には第4実施形態の半導体装置と同様であるが、有孔の半導体チップ1は、同図(a)に示すように、表層に沿って二酸化珪素層17aを有するSOI(Silicon On Insulator)基板である。

【0042】次に、同図(a)乃至(d)に基づいて、この半導体装置の製造方法、詳しくは、貫通孔11の内縁部の絶縁層14の形成方法について説明する。

【0043】初めに、同図(a)に示すSOI基板からなる半導体チップ1に、同図(b)に示すように、二酸化珪素層17aを残して、その二酸化珪素層17aのみにより互いに遮蔽されたブラインドビアホール17bを形成する。次に、同図(c)に示すように、SOI基板

8

17の表面に、ブラインドビアホール17bの内縁部を含めて、加熱処理等により、絶縁層14となる酸化皮膜を形成する。

【0044】次に、同図(d)に示すように、SOI基板17の一方面側、すなわちSOI基板17の一方面から二酸化珪素層17aに互ってアルミ配線部12を形成し、次に、同図(e)に示すように、ブラインドビアホール17b内部の二酸化珪素層17aが露出するように、二酸化珪素層17a上のアルミ配線部12をエッチング等により除去する。

【0045】最後に、同図(f)に示すように、ブラインドビアホール17b内部の二酸化珪素層17aを、エッチング等により除去することにより、内縁部に絶縁層14を有する貫通孔11を形成する。

【0046】かかる半導体装置にあっては、第4実施形態と同様の効果を奏することができる。

【0047】また、予め二酸化珪素層17aを有した半導体チップ1であるSOI基板17のその二酸化珪素層17aを残してブラインドビアホール17bを形成し、ブラインドビアホール17bの内縁部に絶縁層14を形成し、半導体チップ1の一方面側にアルミ配線部12を形成し、二酸化珪素層17a上のアルミ配線部12を除去し、アルミ配線部12が設けられた部分を残して二酸化珪素層17aを除去することにより、貫通孔11の内縁部に容易に絶縁層14を設けることができる。

【0048】なお、第1実施形態乃至第5実施形態の半導体装置はいずれも、2つの半導体チップ1、5が互いに重合配置されたものであるが、重合配置する半導体チップを2つに限るものではない。

【0049】また、第1実施形態乃至第5実施形態の半導体装置はいずれも、有孔の半導体チップ1のバンプは、基板3との間を接続しているが、半導体素子を3つ以上重合配置し、他の有孔の半導体チップとの間を接続するようにしてもよい。

【0050】

【発明の効果】請求項1記載の半導体装置は、複数の半導体素子が重合配置されているから、この状態で基板に実装された状態では、複数の半導体素子が同一平面の基板に実装される場合に比較して、平面視で実装面積が小さくなり、基板に実装されたときに小型化することができる。また、有孔の半導体素子の貫通孔には、両面を電氣的に接続するために導電性樹脂を充填されており、単に内縁部に導電膜を設けているのではないから、導通を確実にすることができる。さらに、半導体素子の重合方向に沿って電氣的に接続するバンプの基端部が、有孔の半導体素子の表面に設けた配線部及び貫通孔の開口部に互っているから、有孔の半導体素子の両面を電氣的に接続するために貫通孔に充填した導電性樹脂と有孔の半導体素子の表面の配線部とを接続するための別の接続部材を設けなくてもよくなる。

【0051】請求項2記載の半導体装置は、複数の半導体素子が重合配置されているから、この状態で基板に実装されると、複数の半導体素子が同一平面の基板に実装される場合に比較して、平面視で実装面積が小さくなり、基板に実装されたときに小型化することができる。また、有孔の半導体素子の貫通孔には、両面を電氣的に接続するために導電性樹脂を充填されており、単に内縁部に導電膜を設けているのではないから、導通を確実にすることができる。さらに、半導体素子の重合方向に沿って電氣的に接続するバンプの先端部が、導電性樹脂に差し込まれているから、導電性樹脂との接触面積が大きくなり、接続抵抗を小さくすることができる。

【0052】請求項3記載の半導体装置は、請求項2記載の半導体装置の効果に加えて、重合方向に沿って半導体素子間を電氣的に接続する第2のバンプは、有孔の半導体素子の貫通孔に充填された導電性樹脂に先端部が差し込まれたバンプとは異なり、その先端部の断面積を、貫通孔の開口断面積よりも大きくすることもでき、設計の自由度が大きくなる。

【0053】請求項4記載の半導体装置は、請求項2記載の半導体装置の効果に加えて、バンプは、その先端部が導電性樹脂に差し込まれて接続されるとともに、基端部が有孔の半導体素子の配線部に接続されているから、配線部に接続するための別の接続部材を設けなくてもよくなる。

【0054】請求項5記載の半導体装置は複数の半導体素子が重合配置されているから、この状態で基板に実装されると、複数の半導体素子が同一平面の基板に実装される場合に比較して、平面視で実装面積が小さくなり、基板に実装されたときに小型化することができる。また、有孔の半導体素子の貫通孔には、両面を電氣的に接続するために導電性樹脂を充填されており、単に内縁部に導電膜を設けているのではないから、導通を確実にすることができる。さらに、半導体素子の貫通孔は内縁部に絶縁層を有しているから、半導体素子への電流のリークを確実に抑えることができる。

【0055】請求項6記載の半導体装置の製造方法によれば、予め貫通孔が設けられるとともに表面に配線部が設けられた半導体素子のその貫通孔に導電性樹脂を充填し、配線部及び貫通孔の開口部に互る基端部を有したバンプを形成することにより、貫通孔に導電性樹脂が充填された有孔の半導体素子に設けた配線部及び貫通孔の開口部、にバンプの基端部が互る状態を容易に形成できる。

【0056】請求項7記載の半導体装置の製造方法によれば、予め貫通孔が設けられるとともに表面に配線部が設けられた半導体素子のその貫通孔を覆うよう、配線部に互る基端部を有したバンプを形成し、貫通孔に導電性

樹脂を充填することにより、貫通孔に導電性樹脂が充填された有孔の半導体素子に設けた配線部及び貫通孔の開口部に、バンプの基端部が互る状態を容易に形成できる。

【0057】請求項8記載の半導体装置の製造方法によれば、予め貫通孔が設けられた半導体素子のその貫通孔に絶縁性樹脂を充填して硬化し、貫通孔の貫通方向に沿って硬化後の絶縁性樹脂に第2の貫通孔を形成し、第2の貫通孔に導電性樹脂を充填することにより、貫通孔の内縁部に容易に絶縁層を設けることができる。

【0058】請求項9記載の半導体装置の製造方法によれば、予め二酸化珪素層を有した半導体素子のその二酸化珪素層を残してブラインドビアホールを形成し、ブラインドビアホールの内縁部に絶縁層を形成し、半導体素子の一方面側に配線部を形成し、二酸化珪素層上の配線部を除去し、配線部が設けられた部分を残して二酸化珪素層を除去することにより、貫通孔の内縁部に容易に絶縁層を設けることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施形態の断面図である。

【図2】同上のものの半導体チップの重合配置される前の状態を示す断面図である。

【図3】本発明の第2実施形態のものの半導体チップの重合配置される前の状態を示す断面図である。

【図4】本発明の第3実施形態のものの半導体チップの重合配置される前の状態を示す断面図である。

【図5】本発明の第4実施形態のものの半導体チップの重合配置される前の状態を示す断面図である。

【図6】本発明の第5実施形態のものの半導体チップの製造方法を示す断面図である。

【図7】第1従来例の断面図である。

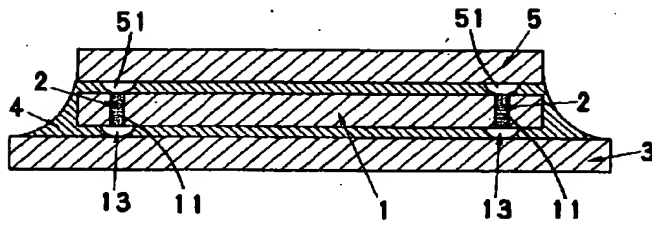
【図8】第2従来例の断面図である。

#### 【符号の説明】

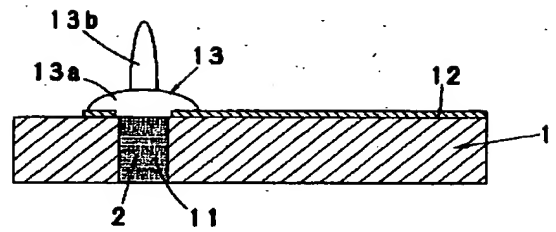
- 1 有孔の半導体チップ（有孔の半導体素子）
- 11 貫通孔
- 12 アルミ配線部
- 13 バンプ
- 13 a 基端部
- 14 絶縁層
- 15 絶縁性樹脂
- 16 第2の貫通孔
- 17 a 二酸化珪素層
- 17 b ブラインドビアホール
- 2 導電性樹脂
- 5 半導体チップ（半導体素子）
- 51 バンプ
- 51 a 先端部
- 53 第2のバンプ



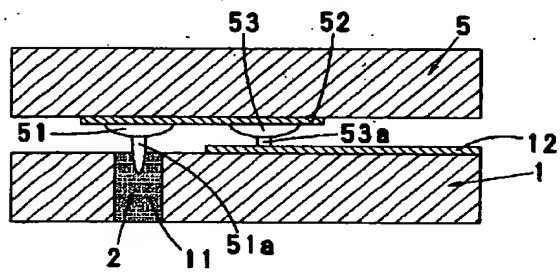
【図1】



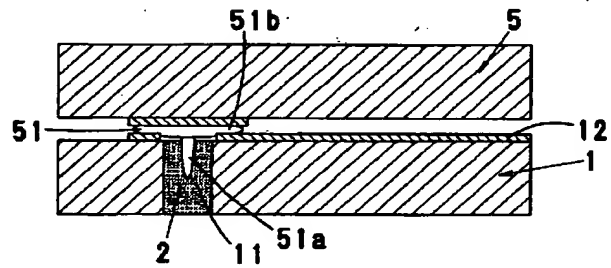
【図2】



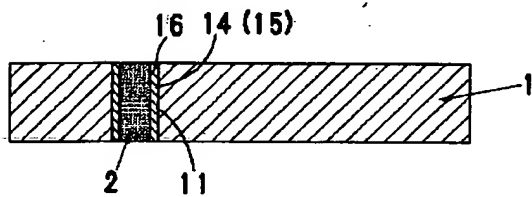
【図3】



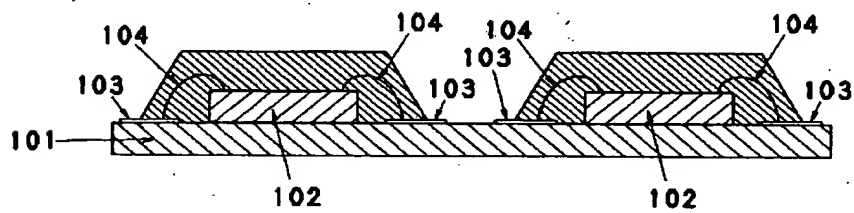
【図4】



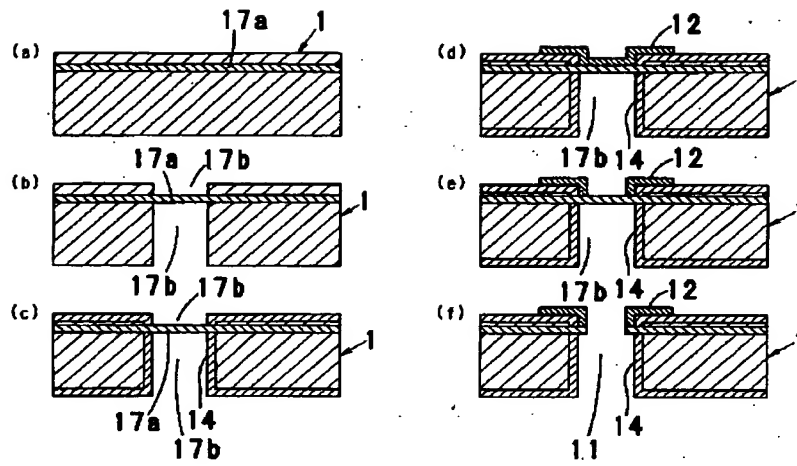
【図5】



【図7】



【図 6】



【図 8】

